

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

日本国特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

#2  
D. Martin  
9/21/01  
Priority

JC973 U.S. PTO

09/874296



06/06/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

2000年 6月 7日

出願番号

Application Number:

特願2000-170057

出願人

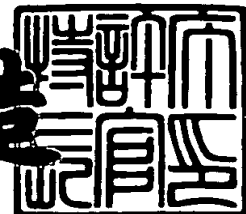
Applicant (s):

鹿児島日本電気株式会社

2001年 2月 9日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2001-3007142

【書類名】 特許願  
【整理番号】 00320210  
【あて先】 特許庁長官殿  
【国際特許分類】 G02F 1/136  
G02F 1/133  
G02F 1/1345

【発明者】

【住所又は居所】 鹿児島県出水市大野原町 2 0 8 0  
鹿児島日本電気株式会社内

【氏名】 内田 宏之

【特許出願人】

【識別番号】 000181284

【氏名又は名称】 鹿児島日本電気株式会社

【代理人】

【識別番号】 100082935

【弁理士】

【氏名又は名称】 京本 直樹

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100082924

【弁理士】

【氏名又は名称】 福田 修一

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100085268

【弁理士】

【氏名又は名称】 河合 信明

【電話番号】 03-3454-1111

【手数料の表示】

【予納台帳番号】 021566

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

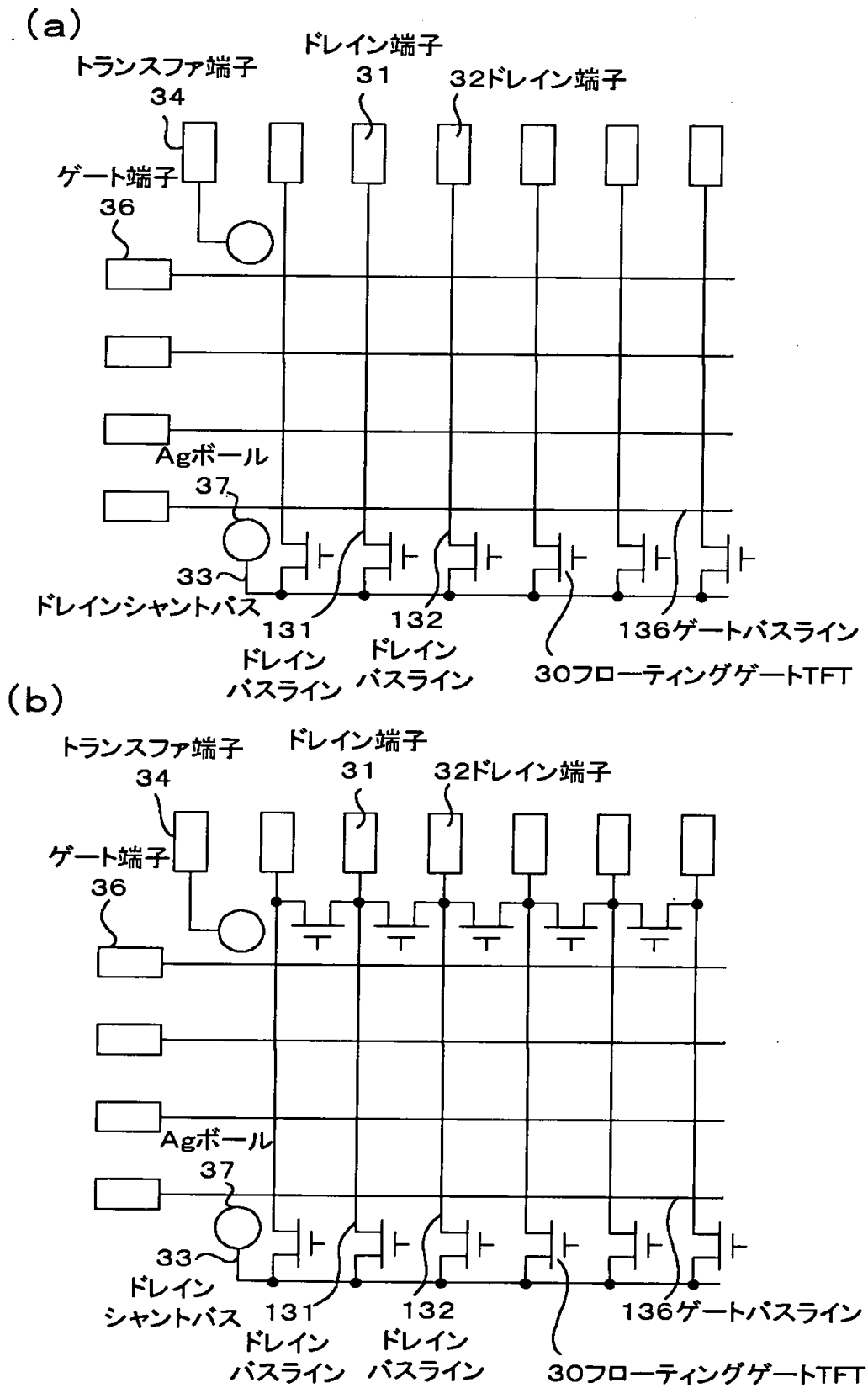
【物件名】 図面 1

【物件名】 要約書 1

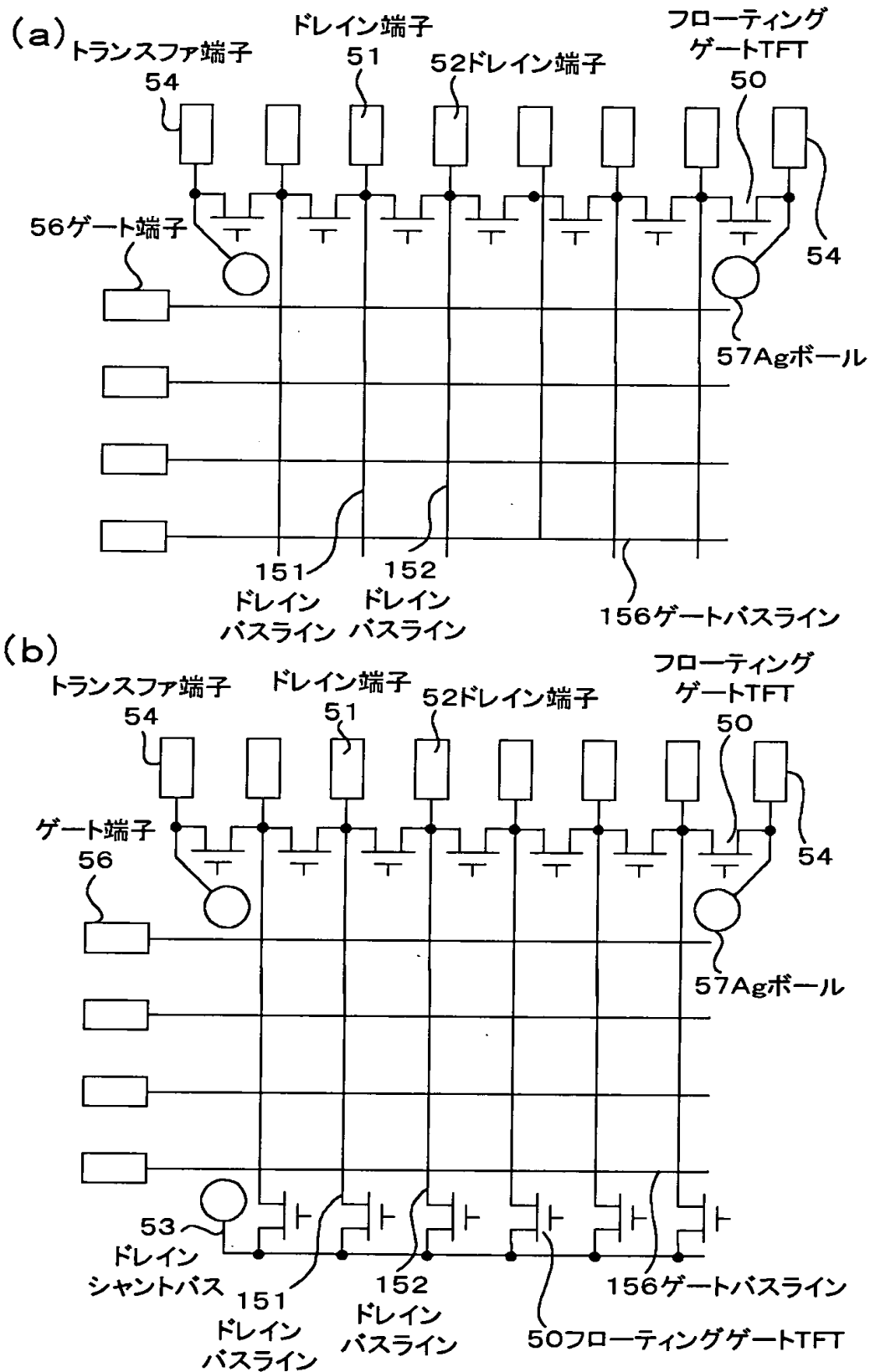
【包括委任状番号】 9114163

【プルーフの要否】 要

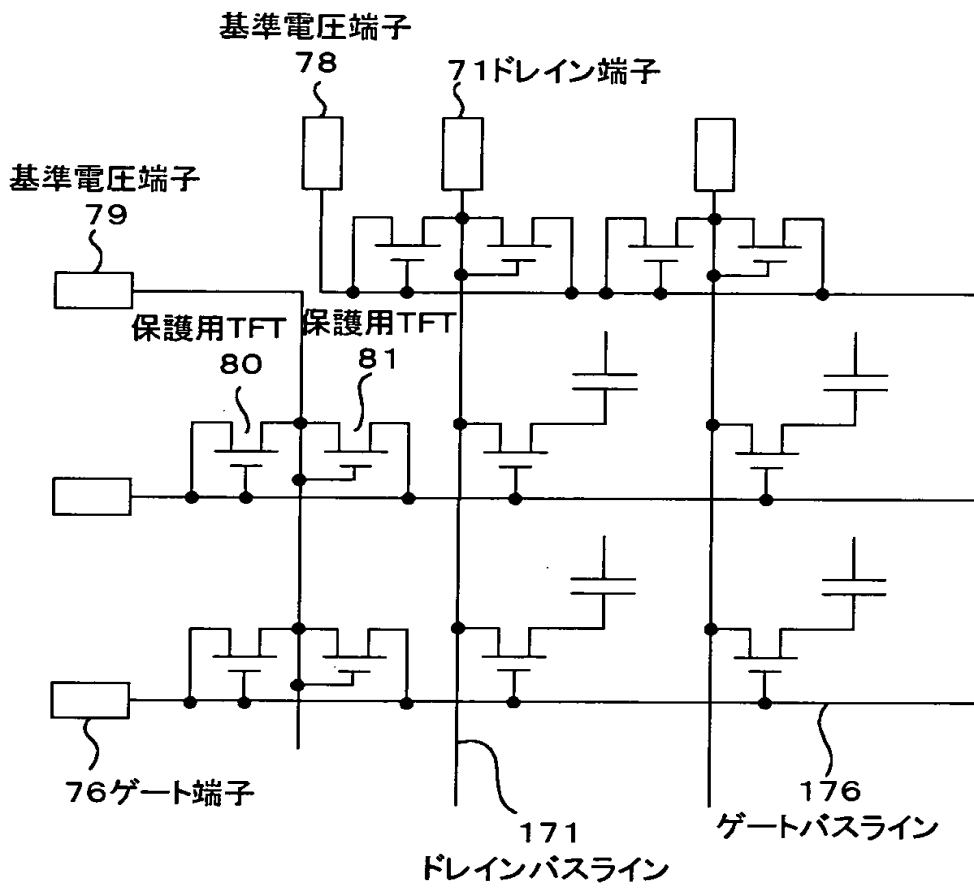
【図3】



【図 4】



【図5】



【書類名】 明細書

【発明の名称】 静電保護回路

【特許請求の範囲】

【請求項 1】 ゲート電極と絶縁膜を挟んで互いに対向して設けられるソース・ドレイン電極と、対向して設けられた前記ソース・ドレイン電極の一方の電極と他方の電極とに挟まれるチャンネルとからなる保護用トランジスタを静電保護素子とする静電保護回路であって、前記ソース・ドレイン電極の一方の電極と前記ゲート電極とで構成する容量及び前記ソース・ドレイン電極の他方の電極と前記ゲート電極とで構成する容量が共に、前記チャンネルと前記ゲート電極とで構成する容量よりも大きく、かつ、前記ゲート電極を浮遊状態として用いることを特徴とする静電保護回路。

【請求項 2】 前記ソース・ドレイン電極の一方の電極と前記ゲート電極とで構成する容量及び前記ソース・ドレイン電極の他方の電極と前記ゲート電極とで構成する容量が概略等しい容量値を有する請求項 1 記載の静電保護回路。

【請求項 3】 アクティブマトリクス液晶表示装置を構成する一方の基板の周辺のゲート端子から一方向に走査するゲートバスラインと、前記ゲートバスラインの上方にあって絶縁膜を介して前記ゲートバスラインと直交し、かつ、前記ゲート端子が配置される基板の周辺とは別の周辺のドレイン端子から走査するドレインバスラインと、前記ゲートバスラインと前記ドレインバスラインとの交差部に対応して形成された画素領域とを有する静電保護回路であって、前記ドレインバスラインに対して、隣接するバスラインを保護用トランジスタを介して接続し、前記保護用トランジスタのソース・ドレイン電極の一方の電極を一方のバスラインと、前記保護用トランジスタのソース・ドレイン電極の他方の電極を他方のバスラインと接続し、前記保護用トランジスタのゲート電極を浮遊状態とすることを特徴とする静電保護回路。

【請求項 4】 前記保護用トランジスタは、前記ドレイン端子と前記交差部との間のドレインバスラインに接続する請求項 3 記載の静電保護回路。

【請求項 5】 前記一方の基板には、前記ドレイン端子が配置される基板の周辺と対向する周辺を走査するドレインシャントバスラインが設けられており、



前記保護用トランジスタの他に、前記ドレインバスラインと前記ドレインシャントバスラインとの間にも第2の保護用トランジスタを接続し、前記第2の保護用トランジスタのソース・ドレイン電極の一方の電極を前記ドレインバスラインと、前記第2の保護用トランジスタのソース・ドレイン電極の他方の電極を前記ドレインシャントバスラインと接続し、前記第2の保護用トランジスタのゲート電極を浮遊状態とする請求項3又は4記載の静電保護回路。

【請求項6】 前記一方の基板の上には、前記ゲートバスライン及び前記ドレインバスラインの他に、前記一方の基板に対向する対向基板に設けられた対向電極に接続されるトランスファ配線が設けられており、前記保護用トランジスタの他に、前記ドレインバスラインのうち少なくとも一つのドレインバスラインと前記トランスファ配線との間にも第3の保護用トランジスタを接続し、前記第3の保護用トランジスタのソース・ドレイン電極の一方の電極を前記ドレインバスラインと、前記第3の保護用トランジスタのソース・ドレイン電極の他方の電極を前記トランスファ配線と接続し、前記第3の保護用トランジスタのゲート電極を浮遊状態とする第3の保護用トランジスタも備える請求項3又は4記載の静電保護回路。

【請求項7】 アクティブマトリクス液晶表示装置を構成する一方の基板の周辺のゲート端子から一方の電極向に走査するゲートバスラインと、前記ゲートバスラインの上方にあって絶縁膜を介して前記ゲートバスラインと直交し、かつ、前記ゲート端子が配置される基板の周辺とは別の周辺のドレイン端子から走査するドレインバスラインと、前記ドレイン端子が配置される基板の周辺と対向する周辺を走査するドレインシャントバスラインと、前記ゲートバスラインと前記ドレインバスラインとの交差部に対応して形成された画素領域とを有する静電保護回路であって、前記ドレインバスラインに対しては、前記ドレインバスラインを前記ドレインシャントバスラインと保護用トランジスタを介して接続し、前記保護用トランジスタのソース・ドレイン電極の一方の電極を前記ドレインバスラインと、前記保護用トランジスタのソース・ドレイン電極の他方の電極を前記ドレインシャントバスラインと接続し、前記保護用トランジスタのゲート電極を浮遊状態とすることを特徴とする静電保護回路。

【請求項 8】 前記ドレインシャントバスラインは、前記一方の基板に対向する対向基板に設けられた対向電極に接続される請求項 5 又は 7 記載の静電保護回路。

【請求項 9】 前記保護用トランジスタ、前記第 2 の保護用トランジスタ、前記第 3 の保護用トランジスタは、すべて同じ構造の静電保護トランジスタであり、前記静電保護トランジスタにおいては、ソース・ドレイン電極の一方の電極とゲート電極とで構成する容量及びソース・ドレイン電極の他方の電極とゲート電極とで構成する容量が共に、チャンネルとゲート電極とで構成する容量よりも大きい請求項 3、4、5、6、7 又は 8 記載の静電保護回路。

【請求項 10】 前記ソース・ドレイン電極の一方の電極と前記ゲート電極とで構成する容量及び前記ソース・ドレイン電極の他方の電極と前記ゲート電極とで構成する容量が概略等しい容量値を有する請求項 9 記載の静電保護回路。

【請求項 11】 前記静電保護トランジスタは、前記ゲートバスラインと同時に形成される電極をゲート電極とし、前記絶縁膜をゲート絶縁膜とし、前記ドレインバスラインと同時に形成される電極をソース・ドレイン電極とする薄膜トランジスタである請求項 9 又は 10 記載の静電保護回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、静電保護回路、特に、アクティブマトリクス液晶表示装置に用いる静電保護回路に関するものである。

【0002】

【従来の技術】

従来、TFTアレイ基板の静電保護回路としては、特開平 11-119256 号公報に示されるように、2つのTFTで形成された双方向型非線形回路が用いられる。この回路構成では、図5のように、ドレインバスライン171及びゲートバスライン176が導出されるそれぞれドレイン端子71及びゲート端子76の近傍に2つの保護用薄膜トランジスタを配置し、ドレイン端子71及びゲート端子76にサージが印加されたときに、電荷をそれぞれ基準電圧端子78及び基

準電圧端子 7 9 に保護用 T F T 8 0 及び保護用 T F T 8 1 を通して逃がす構成となっている。また、製造上は、静電保護回路を接続するために、各々の保護用 T F T 毎にゲート電極とドレイン電極をゲート絶縁膜にスルーホールを形成して接続する必要が有る。

## 【 0 0 0 3 】

## 【発明が解決しようとする課題】

この従来の静電保護回路の製造フローは、ゲート絶縁膜にスルーホールを開けゲート電極の一部を露出させ、次にドレイン電極形成時にこのスルーホールを介してゲート電極とドレイン電極を接続する。或いは、ゲート電極とドレイン電極を形成後、両電極の接続部をスルーホールにより開口し、画素電極等の他レイヤーの導電性電極形成時にゲート電極とドレイン電極を接続している。

## 【 0 0 0 4 】

近年、薄膜トランジスタアレイの製造コスト削減のため、マスク数を削減する検討が盛んになされている。マスク数が少なくなると、このゲートとドレイン間の層間接続が形成できなくなることがある。

## 【 0 0 0 5 】

このように層間接続ができない場合、従来は特開平 6 - 1 8 9 2 4 号公報に示されるような、ドレイン端子間に電荷を逃がすような構造が知られている。バスライン同士が、数  $\mu$  m の間隙を介して近接させ、入力端子同士が電気容量結合させておく。基板に静電気がのると、D 端子間で電圧差が生じる。端子間隔が狭い部分では、電界が強くなるため、比較的低電圧で放電してバスライン間が同電位となる。

## 【 0 0 0 6 】

しかし、この狭ギャップによる放電現象を利用した保護回路は、動作すると狭ギャップ間でショートすることがあるので、最終的にはこの部分を切り落とす必要がある。また、放電現象を利用しているため、再現性良く静電気を防ぐことが困難である。

## 【 0 0 0 7 】

一方、コンタクトホールを用いない、静電保護回路としては、特開平 1 0 - 2

0 0 1 1 6 号公報が知られている。この例では、非対称の 2 つのフローティングゲート T F T で 1 つの保護回路を形成している。

【 0 0 0 8 】

本発明の目的は、静電保護回路、特に、アクティブマトリクス液晶表示装置に用いる静電保護回路において、製造工程を増やすことなく、最小限の素子により構成される静電保護回路を提供することにある。

【 0 0 0 9 】

【課題を解決するための手段】

本発明の第 1 の静電保護回路は、ゲート電極と絶縁膜を挟んで互いに対向して設けられるソース・ドレイン電極と、対向して設けられた前記ソース・ドレイン電極の一方の電極と他方の電極とに挟まれるチャンネルとからなる保護用トランジスタを静電保護素子とする静電保護回路であって、前記ソース・ドレイン電極の一方の電極と前記ゲート電極とで構成する容量及び前記ソース・ドレイン電極の他方の電極と前記ゲート電極とで構成する容量が共に、前記チャンネルと前記ゲート電極とで構成する容量よりも大きく、かつ、前記ゲート電極を浮遊状態として用いることを特徴とし、前記ソース・ドレイン電極の一方の電極と前記ゲート電極とで構成する容量及び前記ソース・ドレイン電極の他方の電極と前記ゲート電極とで構成する容量が概略等しい容量値を有する、というものである。

【 0 0 1 0 】

本発明の第 2 の静電保護回路は、アクティブマトリクス液晶表示装置を構成する一方の基板の周辺のゲート端子から一方向に走査するゲートバスラインと、前記ゲートバスラインの上方にあって絶縁膜を介して前記ゲートバスラインと直交し、かつ、前記ゲート端子が配置される基板の周辺とは別の周辺のドレイン端子から走査するドレインバスラインと、前記ゲートバスラインと前記ドレインバスラインとの交差部に対応して形成された画素領域とを有する静電保護回路であって、前記ドレインバスラインに対して、隣接するバスラインを保護用トランジスタを介して接続し、前記保護用トランジスタのソース・ドレイン電極の一方の電極を一方のバスラインと、前記保護用トランジスタのソース・ドレイン電極の他方の電極を他方のバスラインと接続し、前記保護用トランジスタのゲート電極を

浮遊状態とすることを特徴とし、第1の静電保護回路の第1の変形例として、前記保護用トランジスタは、前記ドレイン端子と前記交差部との間のドレインバスラインに接続し、前記一方の基板には、前記ドレイン端子が配置される基板の周辺と対向する周辺を走査するドレインシャントバスラインが設けられており、前記保護用トランジスタの他に、前記ドレインバスラインと前記ドレインシャントバスラインとの間にも第2の保護用トランジスタを接続し、前記第2の保護用トランジスタのソース・ドレイン電極の一方の電極を前記ドレインバスラインと、前記第2の保護用トランジスタのソース・ドレイン電極の他方の電極を前記ドレインシャントバスラインと接続し、前記第2の保護用トランジスタのゲート電極を浮遊状態とする、というもので、第1の静電保護回路の第2の変形例として、前記一方の基板の上には、前記ゲートバスライン及び前記ドレインバスラインの他に、前記一方の基板に対向する対向基板に設けられた対向電極に接続されるトランスファ配線が設けられており、前記保護用トランジスタの他に、前記ドレインバスラインのうち少なくとも一つのドレインバスラインと前記トランスファ配線との間にも第3の保護用トランジスタを接続し、前記第3の保護用トランジスタのソース・ドレイン電極の一方の電極を前記ドレインバスラインと、前記第3の保護用トランジスタのソース・ドレイン電極の他方の電極を前記トランスファ配線と接続し、前記第3の保護用トランジスタのゲート電極を浮遊状態とする、というものである。

【 0 0 1 1 】

次に、本発明の第3の静電保護回路は、アクティブマトリクス液晶表示装置を構成する一方の基板の周辺のゲート端子から一方の電極向に走査するゲートバスラインと、前記ゲートバスラインの上方にあって絶縁膜を介して前記ゲートバスラインと直交し、かつ、前記ゲート端子が配置される基板の周辺とは別の周辺のドレイン端子から走査するドレインバスラインと、前記ドレイン端子が配置される基板の周辺と対向する周辺を走査するドレインシャントバスラインと、前記ゲートバスラインと前記ドレインバスラインとの交差部に対応して形成された画素領域とを有する静電保護回路であって、前記ドレインバスラインに対しては、前記ドレインバスラインを前記ドレインシャントバスラインと保護用トランジスタ

を介して接続し、前記保護用トランジスタのソース・ドレイン電極の一方の電極を前記ドレインバスラインと、前記保護用トランジスタのソース・ドレイン電極の他方の電極を前記ドレインシャントバスラインと接続し、前記保護用トランジスタのゲート電極を浮遊状態とすることを特徴とする、というものである。

## 【 0 0 1 2 】

上記の第 2、3 の静電保護回路のドレインシャントバスラインを用いる形態のものにおいて、前記ドレインシャントバスラインは、前記一方の基板に対向する対向基板に設けられた対向電極に接続される。

## 【 0 0 1 3 】

上記第 2、3 の静電保護回路においては、前記保護用トランジスタ、前記第 2 の保護用トランジスタ、前記第 3 の保護用トランジスタは、すべて同じ構造の静電保護トランジスタであり、前記静電保護トランジスタにおいては、ソース・ドレイン電極の一方の電極とゲート電極とで構成する容量及びソース・ドレイン電極の他方の電極とゲート電極とで構成する容量が共に、チャンネルとゲート電極とで構成する容量よりも大きく、前記ソース・ドレイン電極の一方の電極と前記ゲート電極とで構成する容量及び前記ソース・ドレイン電極の他方の電極と前記ゲート電極とで構成する容量が概略等しい容量値を有し、前記静電保護トランジスタは、前記ゲートバスラインと同時に形成される電極をゲート電極とし、前記絶縁膜をゲート絶縁膜とし、前記ドレインバスラインと同時に形成される電極をソース・ドレイン電極とする薄膜トランジスタである、というものである。

## 【 0 0 1 4 】

## 【発明の実施の形態】

本発明は、静電保護回路、特に、アクティブマトリックス型液晶表示装置における薄膜トランジスタアレイの静電保護回路を、ゲート電極をフローティングにした 1 つの薄膜トランジスタ（以下、フローティングゲート T F T と記す）のみで構成することを特徴としている。この時、特にフローティングゲート電極とソース・ドレイン電極との重なり面積をチャンネル部の面積より大きくすることで、ゲート電極とソース・ドレイン電極とのカップリング容量が増大し、外部からの静電気によって引き起こされるソース電極、或いは、ドレイン電極の電位変動の

約 1 / 2 の電位変動がフローティングゲート電極に誘導される。結果的に、フローティングゲート T F T は O N し、静電気の電荷をこのフローティングゲート T F T を介して周辺に分散させて、アクティブマトリックス型液晶表示装置の静電耐量を強化することを特徴としている。

## 【 0 0 1 5 】

本フローティングゲート T F T をドレインバスラインの信号入力側端子の保護回路として構成するには、フローティングゲート T F T のソース・ドレイン電極をそれぞれ隣り合うドレインバスラインに接続すればよい。

## 【 0 0 1 6 】

また、同様にドレインバスラインの入力側とは反対側の端部に保護回路を構成するには、フローティングゲート T F T のドレイン電極をドレインバスライン端部に、ソース電極をドレインシャントバスラインに接続すればよい。

## 【 0 0 1 7 】

このように、静電保護回路をわずか 1 つのフローティングゲート T F T で形成できる。

## 【 0 0 1 8 】

次に、静電保護回路に用いる本発明の実施形態の基本となるフローティングゲート T F T の模式平面図及び模式断面図を図 1 を参照して説明する。図 1 ( b ) は、図 1 ( a ) の模式平面図の切断線 A - A ' に沿った断面図である。

## 【 0 0 1 9 】

図 1 ( b ) において、フローティングゲート T F T のゲート電極 2 がガラス基板 1 の上に形成されており、その上に窒化シリコン等の絶縁物からなるゲート絶縁膜 3 が形成され、さらにその上に島状アモルファス S i 等の半導体膜 4 が形成されている。この上に、ソース電極 5、ドレイン電極 6 が形成されている。

## 【 0 0 2 0 】

この時、図 1 ( a ) に示すように、ゲート電極 2 とソース電極 5、ゲート電極 2 とドレイン電極 6 との重なり長をそれぞれ  $L_{gs}$ 、 $L_{gd}$  と表すと、例えば、ゲート電極幅  $W_g$  を  $24 \mu m$  とした場合、 $L_{gs}$ 、 $L_{gd}$  は共に  $24 \mu m$  となり、一方、フローティングゲート T F T のチャネル部 7 の容量を形成するゲート電

極 2 とチャンネル部 7 の重なり長を  $L_{ch}$  と表すと、例えば、 $L_{ch}$  は  $6\mu m$  となる。

#### 【0021】

従って、図 1 (b) に示すように、ゲート電極 2 との間に形成されている容量は、ゲート電極 2 - ソース電極 5、ゲート電極 2 - ドレイン電極 6、ゲート電極 2 - チャンネル 7 の間（以下、それぞれソース容量、ドレイン容量、チャンネル容量と記載する）に、それぞれ  $C_{gs}$ 、 $C_{gd}$ 、 $C_{ch}$  が形成されているが、 $C_{gs}$  及び  $C_{gd}$  は大きさは同じであり、また、 $C_{gs}$  及び  $C_{gd}$  は  $C_{ch}$  に比べて十分大きくなるように設計されている。

#### 【0022】

次に、本発明のフローティングゲート TFT で構成する静電保護回路を有するアクティブマトリックス型液晶表示装置の第 1 の実施形態について、図 2 を用いて説明する。図 2 では、ドレインバスライン 111、112 に直交するゲートバスライン 116 と、ゲートバスライン 116 を外部と接続するゲート端子 16 をも併せて示し、ドレインバスラインとゲートバスラインとのそれぞれの交差部において薄膜トランジスタが配置される。

#### 【0023】

まず、図 2 を正面に見て、例えば、左側から  $N$  番目のドレインバスライン 111 のドレイン端子 11 と  $(N+1)$  番目のドレインバスライン 112 のドレイン端子 12 との間にフローティングゲート TFT 10 を接続する。このとき、フローティングゲート TFT 10 のソース電極及びドレイン電極はそれぞれ隣り合うドレイン端子 11 及びドレイン端子 12 に接続する。

#### 【0024】

一方、フローティングゲート TFT 10 のゲート電極は何処にも接続せず、フローティング状態とする。各ドレインバスライン間は全てこのフローティングゲート TFT 10 を介して接続する。

#### 【0025】

次に、フローティングゲート TFT 10 の保護回路としての動作を図 1 (b) を参照して説明する。



## 【 0 0 2 6 】

まず、フローティングゲート T F T 1 0 単体の動作について説明する。正電荷がソース電極 5 に印加されると、そのソース電極 5 は正方向にパルス的に電位上昇する。このとき、ゲート電極 2 を浮遊状態にしているので、ゲート電極 2 とソース電極 5 及びドレイン電極 6 との間の同じ大きさのソース容量  $C_{gs}$  及びドレイン  $C_{gd}$  の存在により、このソース電極 5 に印加したパルス状の電位は、ゲート電極 2 の電位を正の電位に引き上げる。チャネル容量  $C_{ch}$  に比べてソース容量  $C_{gs}$  及びドレイン容量  $C_{gd}$  が十分大きい場合、フローティングゲートの電位上昇は、ソース電圧の変動電圧の約  $1/2$  になる。この状態では、ソース電極 5 及びドレイン電極 6 のうち低電位に有るドレイン電極 6 の電位に比べてゲート電極 2 の電位が高くなるため、フローティングゲート T F T は ON 状態になる。

## 【 0 0 2 7 】

ソース電極 5 に負の電荷が印加された場合も、ソース電極 5 が最も低く、ゲート電極 2 はその  $1/2$  の電位になる。ドレイン電極 6 はアース電位に近いので、この場合もフローティングゲート T F T は ON 状態となる。

## 【 0 0 2 8 】

本発明のフローティングゲート T F T は、ソース電極及びドレイン電極に対して対称な平面形状を有するため、ドレイン電極に静電気が印加されても、ソース電極に静電気が印加された場合と同様に ON となる。

## 【 0 0 2 9 】

このフローティングゲート T F T の駆動を確実に動作させるには、ゲート電極に正電荷でも負電荷でも T F T をオン状態にするだけの十分な電荷でチャージアップする必要がある。そのためには、ソース電極とゲート電極との間の容量及びドレイン電極とゲート電極との間の容量が、チャネル容量（ゲート電極と半導体／ゲート絶縁膜界面で形成される電子の蓄積層であるチャネルとの間の容量）より大きいことが必要になる。したがって、ゲート電極とソース電極との重なり及びゲート電極とドレイン電極との重なりを、ゲート電極とチャネル部との重なりより広くすることで、動作を確実にすることができる。

## 【 0 0 3 0 】

例えば、ソース電極、或いは、ドレイン電極にパルス電圧が印加された場合、フローティングのゲート電極に印加される電圧は以下になる。

$C_{gs} = C_{gd} = C_{ch}$  のときは、印加電圧の約 33 %

$C_{gs} = C_{gd} = C_{ch} \times 2$  のときは、印加電圧の約 40 %

$C_{gs} = C_{gd} = C_{ch} \times 4$  のときは、印加電圧の約 44 %

次に、本発明のフローティングゲート TFT をドレインバスラインのドレイン端子側の静電保護回路に用いた第 1 の実施形態の動作について説明する。

#### 【0031】

まず、ドレイン端子に外部から静電気として帯電していた電荷が侵入した場合、或いは、ドレインバスラインに帯電していた電荷が外部に逃げた場合、帯電したドレインバスラインはその瞬間に他のドレインバスラインに比べ正または負に帯電する。

#### 【0032】

したがって、静電保護回路のフローティングゲート TFT はオン状態になり、帯電したドレイン端子はその両側のドレイン端子と導通状態になり、帯電電荷は両側のドレイン端子に分散される。この電荷の分散は、さらに隣のドレイン端子に順次伝わっていく。その結果、帯電電荷はドレイン端子間で分散され、ドレイン端子一端子当たりの電荷が小さくなり、帯電したドレインバスラインの電位も低くなる。その結果、アクティブマトリックス型液晶表示装置における内部の画素に配置された TFT の静電破壊、或いは、液晶の特性変化を防止できる。

#### 【0033】

次に、本発明のフローティングゲート TFT で構成する静電保護回路を有するアクティブマトリックス型液晶表示装置の第 2 の実施形態について、図 3 を用いて説明する。本実施形態は、表示領域に対してドレインバスラインのドレイン端子とは反対側のドレインバスライン端部の静電保護回路に用いた例である。

#### 【0034】

ドレインバスライン 131 及び 132 にそれぞれ接続するドレイン端子 31、32 とは反対側の端部にフローティングゲート TFT 30 のソース電極 25 に接続する。フローティングゲート TFT 30 のドレイン電極 26 は、ドレインバス

ラインと同時に形成されているドレインシャントバス 3 3 に接続する。このドレインシャントバス 3 3 は、トランスファァー端子 3 4 に接続されており、セル組み立て時に A g ボール 3 7 を介して対向基板（図示省略）に接続できるようになっている。

## 【 0 0 3 5 】

本実施形態においても、ドレイン端子に静電気が印加されたときのフローティングゲート T F T 3 0 の動作は実施形態と同様であるが、本実施形態の場合は、フローティングゲート T F T 3 0 が O N することにより、帯電電荷がドレインシャントバス 3 3、A g ボール 3 7 を通して対向基板の対向電極（図示省略）に放電される。

## 【 0 0 3 6 】

次に、本発明のフローティングゲート T F T で構成する静電保護回路を有するアクティブマトリックス型液晶表示装置の第 3 の実施形態について、図 4 を用いて説明する。本実施形態は、表示領域に対して端に位置するドレイン端子 5 1、5 2 とその横に位置するトランスファァー端子 5 4、5 5 との間にもフローティングゲート T F T 5 0 を接続する例である。

## 【 0 0 3 7 】

これにより、第 1 の実施形態に比べて帯電電荷の放電経路が増え、しかも、増えた放電経路が、A g ボール 5 7 を通して接続される低インピーダンスの（対向基板の）対向電極であるため、第 1 の実施形態に比べてアクティブマトリックス型液晶表示装置の静電耐量が強化される。

## 【 0 0 3 8 】

また、帯電電荷を対向基板の対向電極に逃がし、液晶パネル内をほぼ同電位に保つことが出来るので、完全な静電保護回路としての動作が得られる。

## 【 0 0 3 9 】

以上述べた第 1 ～第 3 の実施形態は、例えば、図 3 （b）に示すような、第 1 の実施形態と第 2 の実施形態を組み合わせた第 4 の実施形態、或いは、図 4 （b）に示すような、第 2 の実施形態と第 3 の実施形態を組み合わせた第 5 の実施形態等、それぞれの実施形態を可能な範囲内で組み合わせて適用できることは勿論

のことである。

【 0 0 4 0 】

最後に、上記の実施形態においては、アクティブマトリックス型液晶表示装置の静電保護回路を例に挙げて説明してきたが、本発明は、アクティブマトリックス型液晶表示装置に限定されるものではなく、静電耐量を必要とする外部端子を備える半導体装置に対しても適用できるものであることは勿論である。

【 0 0 4 1 】

【発明の効果】

以上説明したように、本発明の効果として、まず第一に、チャネル容量に比べて、ソース・ドレイン容量を大きくすることで、フローティングゲートTFT単体で静電保護としての動作が確実になる。

【 0 0 4 2 】

第二の効果として、TFTの1素子で双方向非線形特性が得られるので、設置面積が小さくなり、ドレインバスラインの間隔が小さい、超高精細パネルでも静電保護回路が形成できる。

【 0 0 4 3 】

第三の効果として、ゲートとドレイン・ソースを接続するためのコンタクトホールが不要で、製造工程を簡略化することができる。

【 0 0 4 4 】

第四の効果として、このフローティングゲートTFTをドレインバスラインの信号入力端子間に接続すると、静電気をこのドレインバスライン間に分散させ、各ドレインバスラインの電圧を低減し、静電気に対する耐性が向上する。

第五の効果として、フローティングゲートTFTをドレインバスラインの信号入力端子間に接続する保護回路において、最外周部のドレインバスラインと対向電極につながるトランスファ端子との間にも、フローティングゲートTFTを形成することにより、より完全に静電保護効果を高めることができる。

【 0 0 4 5 】

第六の効果として、このフローティングゲートTFTをドレインバスラインのドレイン端子と反対の端部側において静電保護素子として用いることにより、ド

レインバスラインの静電気を対向電極にまで逃がすことができ、従来と同等の静電気に対する耐性が得られる。

【図面の簡単な説明】

【図 1】

本発明の静電保護回路に用いる薄膜トランジスタを示す模式平面図及び模式断面図である。

【図 2】

本発明の第 1 の実施形態のアクティブマトリックス型液晶表示装置のパネル周辺をメインに示す模式回路図である。

【図 3】

本発明の第 2、4 の実施形態のアクティブマトリックス型液晶表示装置のパネル周辺をメインに示す模式回路図である。

【図 4】

本発明の第 3、5 の実施形態のアクティブマトリックス型液晶表示装置のパネル周辺をメインに示す模式回路図である。

【図 5】

従来のアクティブマトリックス型液晶表示装置のパネル周辺をメインに示す模式回路図である。

【符号の説明】

- 1      ガラス基板
- 2      ゲート電極
- 3      ゲート絶縁膜
- 4      半導体膜
- 5      ソース電極
- 6      ドレイン電極
- 10、30、50      フローティングゲート TFT
- 11、12、31、32、51、52、71      ドレイン端子
- 14、34、54      トランスファ端子
- 16、36、56、76      ゲート端子

1 7、3 7、5 7     A g ボール

7 8、7 9     基準電圧端子

8 0、8 1     保護用 T F T

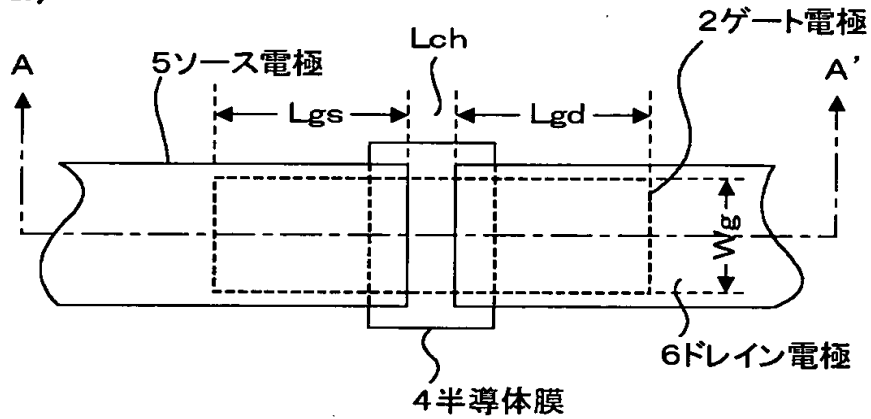
1 1 1、1 1 2、1 3 1、1 3 2、1 5 1、1 5 2、1 7 1     ドレインバス  
ライン

1 1 6、1 3 6、1 5 6、1 7 6     ゲートバスライン

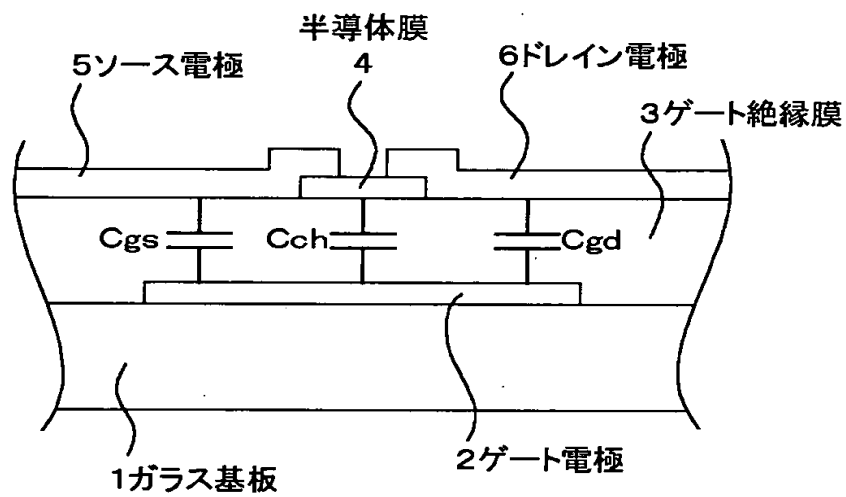
【書類名】 図面

【図1】

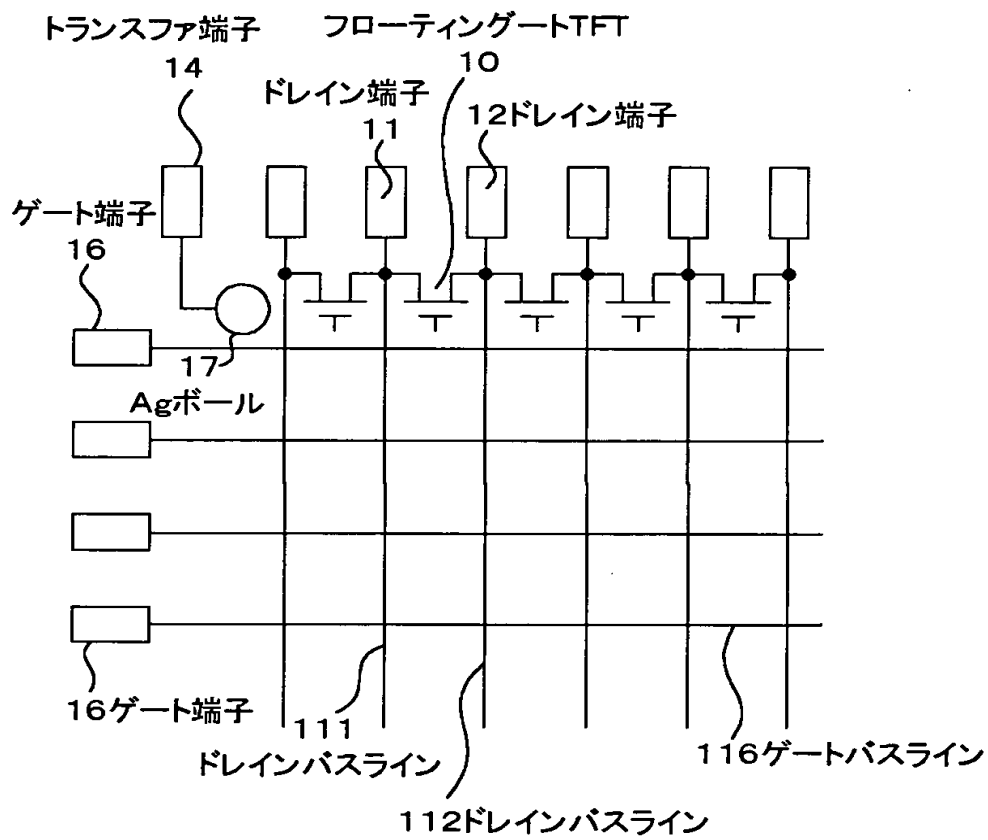
(a)



(b)



【図 2】





【書類名】 要約書

【要約】

【課題】 アクティブマトリックス型液晶表示装置の静電保護回路は、ゲート絶縁膜にスルーホールを開けてゲート電極とドレイン電極とを接続する、或いは、ゲート電極とドレイン電極を形成後、両電極の接続部をスルーホールにより開口し、画素電極等の他レイヤーの導電性電極形成時にゲート電極とドレイン電極を接続することにより得られるが、製造コストを下げるためにマスク数を削減するためには支障となる。

【解決手段】 ドレイン端子間に T F T 1 0 を接続し、T F T 1 0 のゲート電極をフローティングとすることにより、ドレイン端子に印加される静電気に対して双方向非線形素子として働くので、一つの T F T で静電保護としての動作を行える。これにより、保護回路の設置面積が小さくなり、ドレインバスライン 1 1 1、1 1 2 の間隔の小さい超高精細パネルでも静電保護回路が形成できる。

【選択図】 図 2

認定・付加情報

特許出願の番号	特願2000-170057
受付番号	50000704000
書類名	特許願
担当官	第二担当上席 0091
作成日	平成12年 6月 8日

<認定情報・付加情報>

【提出日】	平成12年 6月 7日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [000181284]

1. 変更年月日 1990年 8月10日  
[変更理由] 新規登録  
住 所 鹿児島県出水市大野原町2080  
氏 名 鹿児島日本電気株式会社